

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-198327

(P2002-198327A)

(43)公開日 平成14年7月12日(2002.7.12)

(51)Int. Cl.⁷

識別記号

F I

テ-マ-ト(参考)

H 0 1 L 21/301
21/3205

H 0 1 L 21/78
21/88

L 5F033
J

審査請求 未請求 請求項の数 6

O L

(全6頁)

(21)出願番号 特願2000-397236(P2000-397236)

(22)出願日 平成12年12月27日(2000.12.27)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 白川 一彦

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74)代理人 100075557

弁理士 西教 圭一郎

Fターム(参考) 5F033 GG02 GG04 HH07 JJ01 JJ07

KK07 MM30 PP19 PP27 PP28

QQ07 QQ11 QQ28 QQ46 RR04

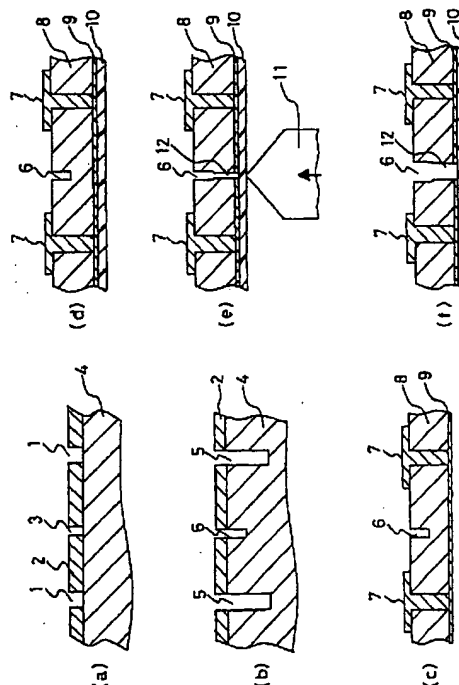
RR06 WW01 XX34

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 スルーホール配線を有する半導体装置の製造において、チップの取れ数を増加させるとともにチップ分離後のチップ取扱いを容易にし、コストが低減されて半導体素子の信頼性を向上する半導体装置の製造方法を提供する

【解決手段】 半導体基板上に形成される複数の半導体装置を個々に隔てるスクライプライン用溝6と、半導体装置にスルーホール配線を施すためのスルーホール用溝5とを形成する半導体基板において、スクライプライン用溝6の幅をスルーホール用溝5の幅より狭くして同時に形成し、半導体基板を裏面からスルーホール用溝5の底面に達する厚さまで削ってスルーホール用溝5を貫通させ、半導体基板裏面に粘着性および延伸性を有するシート10を貼付け、スクライプライン用溝6に沿って薄層化半導体基板8を劈開し、シート10を延伸して半導体装置ごとに分離する。



【特許請求の範囲】

【請求項1】 半導体基板上に形成される複数の半導体装置を個々に隔てるスクライプライン用溝と、半導体装置にスルーホール配線を施すためのスルーホール用溝とを形成する半導体装置の製造方法であって、スクライプライン用溝の幅をスルーホール用溝の幅より狭くし、これらの溝を同時に形成することを特徴とする半導体装置の製造方法。

【請求項2】 前記スクライプライン用溝の幅をスルーホール用溝の幅の半分以下とすることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記スクライプライン用溝の深さをスルーホール用溝の深さの半分以下とすることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記スクライプライン用溝の幅を20 μ m以下とすることを特徴とする請求項1～3のうちのいずれか1記載の半導体装置の製造方法。

【請求項5】 スルーホール用溝およびスクライプライン用溝が形成された半導体基板をスルーホール用溝の底面に達する厚さになるまで裏面から削り、スルーホール用溝を貫通させることを特徴とする請求項1～4のうちのいずれか1記載の半導体装置の製造方法。

【請求項6】 スルーホール用溝が貫通せられた半導体基板裏面に粘着性および延伸性を有するシートを貼付け、スクライプライン用溝に沿って半導体基板を劈開し、前記シートを延伸して各半導体装置を分離することを特徴とする請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、スルーホール配線、特に基板を貫通して基板裏面の電極と電気的に接続されているスルーホール配線を有する半導体装置においてスクライプラインを狭小幅で形成することによりウェハ上の無効領域を減らすことによって、チップの取れ数を増加させてコストダウンを図る半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 スルーホール配線を有する半導体装置、特に基板を貫通して基板裏面の電極と電気的に接続されるスルーホール配線を有する半導体装置の製造方法において、ウェハ上に半導体装置をスクライプライン溝によって隔てて複数個形成した後、スクライプラインから各半導体装置を分離する場合、チップサイズが小さくなるにつれてスクライプラインの基板表面全体に占める割合が大きくなる。スクライプライン溝は、半導体装置であるチップを分割するラインであるので、この割合が大きくなることは基板内での無効領域が増えてしまうことになる。この無効領域が増えることによって、基板から取れるチップ数が少なくなり、特にGaAs、GaN、InPおよびサファイアなどの高価な基板では、チップの

コストアップが顕著化してしまう。そこで、スクライプライン溝の幅を狭小化する製造方法が必要となる。

【0003】 図7は、従来の半導体装置の製造方法における工程を示す断面図である。この従来技術は、ドライエッチングと基板の裏面研磨とによってチップごとに分離する技術であり、特開平6-29386号公報において提案されている。該製造方法では、まず図7(a)のように、半導体装置の半導体素子部115が形成された半導体基板104の表面に、フォトリソグラフィ法によってスルーホール用の溝103とスクライプライン用の溝106とのマスクパターンを形成し、ドライエッチング法などで同時に同じ深さに基板をエッチングして溝103および106を形成する。スルーホール用の溝103内には配線を施し、スクライプライン用の溝106以外の部分に表面保護膜を形成する。次いで図7(b)のように、基板表面に研磨の支持用のガラス基板116を貼付け、スルーホール用の溝103およびスクライプライン用の溝106の底面部が除去されるまで基板裏面を研磨することによって、薄い半導体基板108とする。最後に図7(c)のように、半導体基板108の表面に貼付けられたガラス基板116を取外すことによって独立のチップごとに分離する。

【0004】

【発明が解決しようとする課題】 前述のような製造方法では、基板裏面からの研磨によって基板を薄くし、スクライプライン用溝の底面部の基板を除去することによってチップを分離し、ガラス基板を基板表面に貼付けた樹脂を有機溶剤で溶かしてガラス基板を取外した際に、分離されていたチップがバラバラになる。このようなチップでは、チップ製造後の取扱いやチップ実装工程などでの管理が難しくなる。

【0005】 本発明の目的は、スルーホール配線、特に基板を貫通して基板裏面の電極と電気的に接続されているスルーホール配線を有する半導体装置の製造において、チップの取れ数を増加させるとともにチップ分離後のチップ取扱いを容易にしてコスト低減および半導体素子の信頼性を向上する半導体装置の製造方法を提供することである。

【0006】

【課題を解決するための手段】 本発明は、半導体基板上に形成される複数の半導体装置を個々に隔てるスクライプライン用溝と、半導体装置にスルーホール配線を施すためのスルーホール用溝とを形成する半導体装置の製造方法であって、スクライプライン用溝の幅をスルーホール用溝の幅より狭くし、これらの溝を同時に形成することを特徴とする半導体装置の製造方法である。

【0007】 本発明に従えば、スルーホール用溝の幅よりもスクライプライン用溝の幅を狭くしたエッチングマスクを用いることによって、無効領域であるスクライプラインが基板表面に占める割合を狭小化できるので、基

板からのチップ取れ数を増加することができる。またスルーホール用溝の幅よりもスクライプライン用溝の幅を狭くすることによって、同時にエッチングして、スクライプライン用溝の深さをスルーホール用溝より浅く形成できるので、エッチング工程を簡易にすることができる。さらに、スクライプライン用溝の深さをスルーホール用溝より浅くエッチングするので、スルーホール用溝に形成された金属配線の底面が露出する厚さまで基板を削っても、スクライプライン用溝の底部の基体は除去されないでチップが単離されてバラバラにならず、チップ

取扱いが容易となる。

【0008】また本発明は、前記スクライプライン用溝の幅をスルーホール用溝の幅の半分以下とすることを特徴とする。

【0009】本発明に従えば、スクライプライン用溝の幅がスルーホール用溝の幅の半分以下であるエッチングマスクを用いることによって、無効領域であるスクライプラインが基板表面に占める割合をスルーホールの開口面積が占める割合と比較して、充分狭小化できるので、基板からのチップ取れ数を確実に増加することができる。またスクライプライン用溝の幅をスルーホール用溝の幅の半分以下とすることによって、同時にエッチングして、スクライプライン用溝の深さをスルーホール用溝のよりもスクライプライン用溝より充分浅く形成できるので、エッチング工程を簡易にできるとともに、スルーホール用溝に形成された金属配線の底面が露出する厚さまで基板を削っても、スクライプライン用溝が貫通せず、チップが単離されてバラバラになることがなく、チップ取扱いが確実によくなる。

【0010】また本発明は、前記スクライプライン用溝の深さをスルーホール用溝の深さの半分以下とすることを特徴とする。

【0011】本発明に従えば、スクライプライン用溝の深さをスルーホール用溝の深さの半分以下となるようにエッチングすることによって、スルーホール用溝に形成された金属配線の底面が露出する厚さまで基板を削っても、スクライプライン用溝が貫通せず、チップが単離されてバラバラになることがなく、チップ取扱いが確実によくなる。

【0012】また本発明は、前記スクライプライン用溝の幅を20 μ m以下にすることを特徴とする。

【0013】本発明に従えば、スクライプライン用溝の幅が20 μ m以下であるエッチングマスクを用いることによって、同時にエッチングして、スクライプライン用溝の幅より広い幅を有するスルーホール用溝よりも、スクライプライン用溝の深さをエッチング特性に従って確実に浅く形成することができるので、エッチング工程を簡易にできるとともに、スルーホール用溝に形成された金属配線の底面が露出する厚さまで基板を削っても、スクライプライン用溝が貫通せず、チップが単離されてバ

ラバラになることがなく、チップ取扱いが確実によくなる。

【0014】また本発明は、スルーホール用溝およびスクライプライン用溝が形成された半導体基板をスルーホール用溝の底面に達する厚さになるまで裏面から削り、スルーホール用溝を貫通させることを特徴とする。

【0015】本発明に従えば、スクライプライン用溝がスルーホール用溝より浅くエッチングされた半導体基板が、スルーホール用溝の底面に達する厚さまで削られることによって、スルーホール用溝は半導体基板を貫通してもスクライプライン用溝は貫通されないで、各チップが単離されてバラバラにならず、チップ取扱いを容易に行なうことができる。

【0016】また本発明は、スルーホール用溝が貫通せられた半導体基板裏面に粘着性および延伸性を有するシートを貼付け、スクライプライン用溝に沿って半導体基板を劈開し、前記シートを延伸して各半導体装置を分離することを特徴とする。

【0017】本発明に従えば、粘着性および延伸性シートを接着した後で半導体基板を劈開し、劈開された半導体基板に接着されたシートを引伸ばすことによって、各チップが単離されてバラバラになることなくチップごとに分離することができるので、チップ取扱いを容易に行なうことができる。

【0018】

【発明の実施の形態】図1は、本発明の実施の形態1による半導体装置の製造方法における工程を示す断面図である。図2は、図1に示す工程に追加する工程を示す断面図である。該半導体装置は、図1(a)～(f)に示す工程によって製造される。本実施の形態1による半導体装置の製造方法について、具体例を示して図1(a)～(f)に従って説明する。

【0019】まず図1(a)に示すように、半導体素子が形成されるGaAs基板4の表面に、フォトリソグラフィ法によって10 μ m厚さのフォトレジストのエッチングマスク2を形成する。マスクパターンは、スルーホールパターン1を幅20 μ mおよび長さ50 μ mとし、スクライプラインパターン3を幅10 μ mとする。

【0020】次いで図1(b)に示すように、エッチングマスク2上からGaAs基板4にICP(Inductively Coupled Plasma)ドライエッチング法を行い、スルーホールパターン1の基板4をエッチングして深さ100 μ mのスルーホール用溝5を形成し、スクライプラインパターン3の基板4をエッチングして深さ50 μ mのスクライプライン用溝6を形成する。なお本工程におけるドライエッチング法の詳細については後述する。

【0021】次いで図1(c)に示すように、エッチングマスク2を除去してスルーホール用溝5に金属配線7を形成し、基板4の裏面から研磨などによって基板4を削って、金属配線7の底面が露出する厚さまで薄層化半

導体基板8とする。その後、薄層化半導体基板8の裏面に蒸着法やめっき法によって金属層を成膜してバックメタル9を形成する。バックメタル9には、図1(d)に示すように、ダイシングシート10を貼付ける。ダイシングシートに限らず、粘着層を備えて延伸可能なシートであればよい。

【0022】なお、ダイシングシート10を貼りつける前に図2のようにバックメタル9のスクライブライン部13を予め除去するようにすれば、劈開でチップ分離を行う際にバックメタル9を劈開することなく薄層化半導体基板8のみを劈開することにより、メタル屑の発生がなくチップ分離の安定化が図られる。

【0023】次いで図1(e)に示すように、ブレイク装置11などを用い、ダイシングシート10の裏面からスクライブライン用溝6に沿って基板を押上げることによって、スクライブライン用溝6から薄層化半導体基板8とバックメタル9とを劈開し、チップ分離部12を形成する。最後に図1(f)に示すように、ダイシングシート10を引伸ばしてチップ分離部12を広げてチップごとに分離する。

【0024】図3は、図1(b)の工程において用いたICPドライエッチングの特性を示すグラフである。ICPエッチャーで塩素系のガスを用いたGaAs基板のエッチングデータを示している。エッチング条件は、ガス種に Cl_2 を40sccm、 SiCl_4 ガスを40sccmの混合ガスとし、圧力10mTorr(1.3Pa)、コイルパワー800W、プラテンパワー50Wおよび基板温度20℃である。図3には横軸をエッチングマスクの開口幅、縦軸をエッチング速度として、これらの相関関係が示されている。開口幅が狭いほどエッチング速度は遅く、特に開口幅が20μmよりも狭くなるとエッチング速度の低下が著しい。該エッチング速度は、エッチングマスクの矩形開口パターンにおける開口幅によって決まり、開口長さには依存しない。

【0025】図4は、図1(b)の工程におけるウェハ構造を詳細に示す拡大図である。図5は、図1(b)の工程におけるウェハ表面構造を示す表面図である。図6は、図5のウェハ表面構造の一部分14を詳細に示す拡大図である。図4～6に示すように、スルーホール用溝5の開口形状は矩形であり、スルーホール用溝5の幅とは矩形の短辺の長さAをいう。なお、スルーホール用溝の開口形状は矩形に限らず、たとえば円形などでもよく、円形の場合の幅とは直径をさす。図4に示すように、図1(b)の工程で、前述のようにスルーホール用溝5の幅Aを20μmおよびスクライブライン用溝6の幅Bを10μmとして同時にエッチングする場合、スルーホール用溝5の深さCを100μmまでエッチングすると、図3の相関関係からスクライブライン用溝6の幅Dは50μmの深さとなる。なお、前述のようにエッチング速度は、エッチングマスクの矩形開口パターンにお

ける開口長さには依存しない。たとえば、図1(b)の工程ではエッチングマスクにフォトレジストで長さLが50μmの矩形開口パターンを用いているが、長さを75μm以上としても、エッチング速度のエッチングマスク開口幅依存性は開口長さ50μmの場合と同様の傾向にある。

【0026】スルーホール用溝5の深さは、最終基板厚さを想定し、チップの取扱いの容易性を考慮して決定する必要がある。特にGaAs基板などの化合物半導体基板の場合、機械的な強度が低いので、特別な支持基盤などを貼付けない場合はエッチング深さ100μm程度以上が望ましい。スルーホール用溝5およびスクライブライン用溝6の各溝幅に関しては、図3に示したようにエッチング開口幅が狭くなるに従ってエッチング速度が低下するので、あまり狭い開口幅とすると深い溝をエッチングする際のエッチングに長時間を要し、生産性の低下を招く。そのため、スルーホール用溝5の深さを100μm程度以上とすることを考慮すると、スルーホール用溝5の幅は20μm、スクライブライン用溝6の幅は10μm程度が適している。

【0027】以上のように、本実施の形態1においては、図1(b)に示した工程でスクライブライン用溝6の幅をスルーホール用溝5の幅より狭くすることによって、無効領域であるスクライブラインが基板表面に占める割合を狭小化することができる。またスクライブライン用溝6の幅をスルーホール用溝5の幅より狭くすることによって、同時にエッチングして、エッチング特性からスクライブライン用溝6の深さをスルーホール用溝5より浅く形成することができる。さらにスクライブライン用溝6の深さをスルーホール用溝5より浅くエッチングするので、図1(c)に示した工程で、スルーホール用溝5に形成された金属配線7の底面が露出する厚さまで基板4を削って薄層化半導体基板8としても、スクライブライン用溝6の底部の基体は除去されない。この状態で、図1(c)～(e)に示したようにバックメタル9およびダイシングシート10とを薄層化半導体基板8に貼付けた後で、スクライブライン用溝6からバックメタル9および薄層化半導体基板8を劈開した後で、ダイシングシート10を引伸ばして各チップを分離することによって、分離後のチップがバラバラにならず、チップを容易に取扱うことができる。これによってコストが低減され半導体素子の信頼性の向上を図ることができる。

【0028】また本発明の実施の形態2による半導体装置の製造方法では、実施の形態1において、図1(a)に示した工程でエッチングマスク材に用いたフォトレジストに代えて、 SiO_2 および SiN などの無機の絶縁膜や、これらの無機の絶縁膜とフォトレジストなどの有機膜との積層マスクを用いる。これによっても実施の形態1と同様の効果が得られる。

【0029】さらに本発明の実施の形態3による半導体

装置の製造方法では、実施の形態1において、図1

(c)に示した工程で基板4を研磨などによって削る際、基板表面に支持基板を貼付ける。支持基板としてはガラス基板などを用い、基板表面には樹脂などで貼付ける。貼付けられた支持基板は、図1(e)に示した工程でスクライプライン用溝6から基板8とバックメタル9とを劈開する前に、樹脂を有機溶剤で溶かして取外す。このように支持基板を基板表面に貼付けることによって、研磨などで薄く仕上げられた基板をより容易に取扱うことができる。

【0030】

【発明の効果】以上のように本発明によれば、スルーホール用溝の幅よりもスクライプライン用溝の幅を狭くしたエッチングマスクを用いることによって、無効領域であるスクライプラインが基板表面に占める割合を狭小化できるので、基板からのチップ取れ数を増加することができる。またスルーホール用溝の幅よりもスクライプライン用溝の幅を狭くすることによって、同時にエッチングして、スクライプライン用溝の深さをスルーホール用溝より浅く形成できるので、エッチング工程を簡易にすることができ、さらに、スクライプライン用溝がスルーホール用溝より浅くエッチングされた半導体基板が、スルーホール用溝の底面に達するまで削られることによって、スルーホール用溝は半導体基板を貫通してもスクライプライン用溝は貫通されず、シートを接着した後で半導体基板を劈開して半導体基板に接着された粘着性および延伸性を有するシートを引伸ばすことによって、各チップが単離されてバラバラになることなくチップごとに分離することができるので、チップ取扱いを容易にすることができる。これによってコストが低減されて半導体素子の信頼性を向上する半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1による半導体装置の製造方法を図1(a)～(f)の工程で示す断面図である。

【図2】図1に示す工程に追加する工程を示す断面図である。

【図3】図1(b)の工程において用いたICPドライエッチングの特性を示すグラフである。

【図4】図1(b)の工程におけるウェハ構造を詳細に示す拡大図である。

10 【図5】図1(b)の工程におけるウェハ表面構造を示す表面図である。

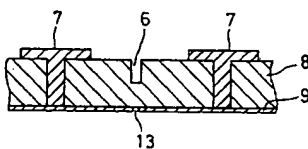
【図6】図5のウェハ表面構造の一部分14を詳細に示す拡大図である。

【図7】従来の半導体装置の製造方法における工程を示す断面図である。

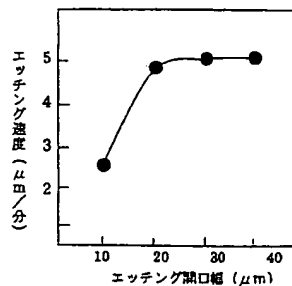
【符号の説明】

- 1 スルーホールパターン
- 2 エッチングマスク
- 3 スクライプラインパターン
- 4, 104 半導体基板
- 5, 103 スルーホール用溝
- 6, 106 スクライプライン用溝
- 7 金属配線
- 8, 108 薄層化半導体基板
- 9 裏面金属配線板
- 10 ダイシングシート
- 11 ブレイク装置
- 12 スクライプライン
- 13 スクライプライン部
- 115 半導体素子部
- 116 ガラス基板

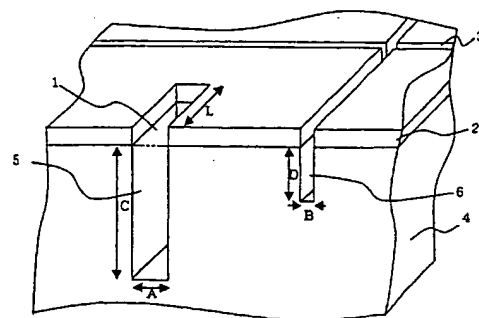
【図2】



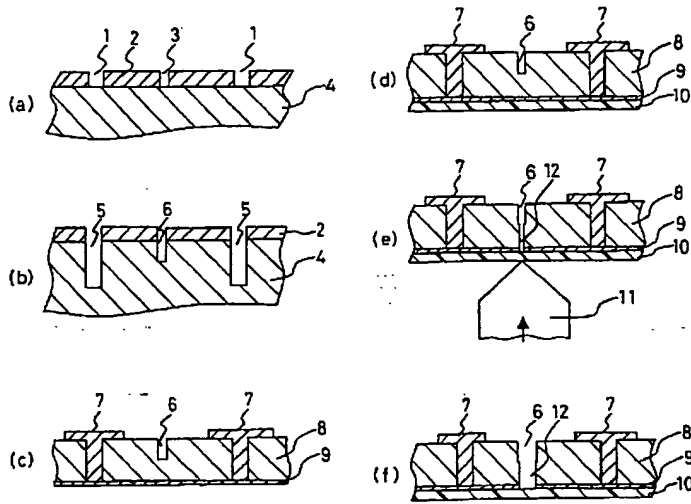
【図3】



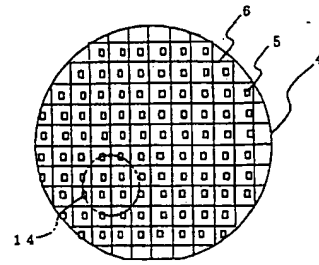
【図4】



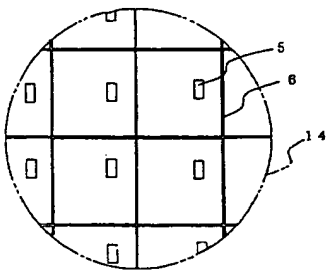
【図1】



【図5】



【図6】



【図7】

